

令和8年7月13日

関係各位

(一社) 日本実装技術振興協会
会 長 嶋田 勇三

第239 定例講演会のお知らせ

拝啓 時下ますますご清祥のこととお慶び申し上げます。

さて、日本実装技術振興協会の第239 回定例講演会の内容が決まりましたのでお知らせいたします。

今回は会場とWEB会議システム（Zoom ウェビナー）を利用したハイブリッド開催となります。

ご多忙の中恐縮ではございますが、万障お繰り合わせの上、ご参加下さいますようお願い申し上げます。ホームページでも同定例講演会の情報を配信します。

敬具

記

1. 開催日時：令和8年7月16日（木）定例講演会 12:50～16:45
技術交流会 17:00～18:00

2. 開催方式：ハイブリッド方式

【川崎市産業振興会館第3研修室+WEB会議システム「Zoom ウェビナー」】

（Zoom参加を申し込みされた方には後日、招待メールをお送りします）

川崎市産業振興会館：神奈川県川崎市幸区堀川町66番地20

<https://kawasaki-sanshinkaikan.jp/>

3. プログラム：“チップレット時代に向けた先端実装・基板技術の最新動向と課題”

(1) 12:50～13:20 プログラムテーマ①	『ディスラプティブ AI 時代に、日本の素材・部品メーカーはどう向き合うか』 (株) 株式会社ベイカレント プロデュース本部 シニアマネージャー 小谷 勇人氏 hayato.kotani.784@baycurrent.co.jp 講演内容：DX について、日本は圧倒的後進国と言われている。また、AI の技術レベルは、経営の パラダイムシフトを起こすほどディスラプティブな段階に入った。本講演では、製造産業が直面し ている現状を踏まえ、日本の素材・部品メーカーが AI を活用し、さらなる DX 推進を実現するた めの指針を提示する。
(2) 13:20～13:50 プログラムテーマ②	『パネル CMP を用いた有機ダマシシ配線インターポーザーの作製について』 (株) レゾナック パッケージング&パワーソリューションセンター 藤 克昭 氏 katsuaki.to@resonac.com 講演内容：次世代 2.xD パッケージの大型化に対応するため、320×320mm ガラス基板上で L/S= 2/2μm のポリマーダマシシ Cu 配線をパネル CMP で実証した。XY 溝パッドとスラリー流量最適化に より面内均一性を改善し、バルク Cu CMP とバリアメタル CMP の二段階プロセスで Cu/Ti/絶縁膜の異 種界面を平坦化、L/S=2/2μm で残段差 100nm 未満を達成した。さらにグレースケールライク LDI 露 光によりビアとトレンチを単一露光で同時形成し、工程数を削減しつつパネルレベル有機インター ポーザーへの適用可能性を示した。
(3) 13:50～14:50 プログラムテーマ③	『これからの生成 AI に必要な HPC の基盤となる 2.5D/3D 実装によるチップレット 集積実装技術の研究開発』 国立研究開発法人産業技術総合研究所 ハイブリッド機能集積研究部門・総括 研究主幹 菊地 克弥 氏 k-kikuchi@aist.go.jp 講演内容：生成 AI といった新しいアプリケーションにより、さらなる半導体デバイスの微細化、 低消費電力化、高性能化が要求されている。これからの半導体デバイスでは、機能ごとに最適なプ ロセスノードによりデバイスを作製し、それをインターポーザーへ集積実装するチップレット集積実 装技術が注目されている。このチップレット集積実装技術の研究開発について紹介する。
14:50～15:15	— 休 憩 —
(4) 15:15～15:45 プログラムテーマ④	『車載向け UCIe A 2.5D チップレットにおける有機インターポーザーの RDL 層数削 減技術』 ルネサスエレクトロニクス (株) Package Design & Simulation, Packaging & Assembly Technology Division, Operations Group 仮屋崎 修一 氏

	shuuichi.kariyazaki.xb@renesas.com 講演内容：ADAS や SDV の進展に伴い、車載 SoC においてもチップレット技術への期待が高まっている。一方で、車載用途では高性能化に加え、高信頼性とコスト競争力の両立が重要な課題となる。本講演では、UCIe A 対応 2.5D チップレットパッケージを対象に、有機インターポーザの配線トポロジー最適化によって、信号品質を維持しながら RDL 層数を削減する設計手法を紹介する。さらに、クロストーク解析に基づく配線構造およびシールド配置の最適化により、量産実績のある設計ルールを維持したまま RDL 層数削減を実現し、低コスト化に寄与するパッケージ構造とその評価結果について報告する。
(5) 15:45～16:45 プログラムテーマ⑤	『Hyper-Scaling 時代における半導体集積の多様化と高度実装技術の価値』 大阪大学大学院ナノデザインセンター 招聘教授／ 日本工業大学大学院技術経営研究科 教授 岡本 和也 氏 講演内容：2nm ノード以降のポストムーア時代を迎え、先端半導体における技術革新の主軸は前工程と後工程の融合を基盤とした集積化技術の多様化へと移行しつつある。市場競争力を規定する要因もリソグラフィによる幾何学的微細化から、先端実装技術を活用した異種集積化とシステムレベル最適化へと大きくシフトしている。近年では、リソグラフィ、成膜、エッチング、接合、計測など前工程で培われた装置・プロセス技術が後工程へ展開され、チップレットや 3 次元積層を支える高度実装技術として新たな価値を創出している。この変化は、設計、製造、実装、材料、装置を含む半導体産業のバリューチェーンを変革し、新たな産業エコシステムの形成を促している。本講演では、Hyper-Scaling 時代における価値創出の本質が単なる微細化競争ではなく、前後工程を横断したクロスドメインな協調最適化にあることを示す。さらに、高度実装技術がポストムーア時代における付加価値創出と競争優位性を支える戦略的基盤技術へと進化していることを論じるとともに、実装技術が次世代半導体の性能・機能・経済性を左右する中核領域として、その役割と重要性が今後ますます高まることへの期待を述べる。
17:00～18:00	－ 技 術 交 流 会 － 産業振興会館 2 階「カフェサウダージ」にて

4. 参加費

会 員：無料 企業正会員は 1 社 3 名まで（Web 会議特例：3 名を超える参加者については事務局に問い合わせください）。また、同じ名前とメールアドレスで複数人の方が入室した場合、システム上、同一人物が入室した人数分表示されます。1 登録 1 名様のご利用でお申込みください。
会員外：22000 円／人（不課税）（お申し込み後、請求書をお送りします）

5. 参加申し込み

会 員：会員は別途メールでお送りしているご出欠連絡用紙（企業正会員には登録代表者（連絡担当者）にお送りしています）にご記入の上、E-mail にてお申し込みいただけますようお願いいたします。

※今回、会場と Zoom ウェビナーのハイブリッド方式での開催となります。お申し込みの際は、参加者それぞれ、どちらの方式での参加をご希望が記載してください。

会員外：ホームページのお問い合わせフォーム（<https://www.j-jisso.org/p/contact.html>）より「お問い合わせ内容」の項目に「第 239 回定例講演会参加希望」と参加方式（会場もしくは Zoom）をご記載下さい。参加申込者と参加者が異なる場合、参加者のお名前と E-mail アドレスもご記入ください。お申し込み後、折り返しご連絡をいたします。

申込締切日：令和 8 年 7 月 7 日（火）

※講演 2 日前までに、ご参加者各人に招待メールをお送りしますので、ご参加者全員の氏名・メールアドレスをご連絡ください。また、Zoom ウェビナーに参加される際には、ご連絡いただきましたメールアドレス・参加者氏名でログインするようにお願いいたします。セキュリティの関係上、名簿と合致しない場合、Zoom 定例講演会から退場していただく場合がございます。参加者が変更する場合はご連絡ください。

※講演資料は、当会ホームページの会員のページ（<https://www.j-jisso.org/member/>）に講演日までにアップいたします。ID と PW が必要ですので講演日前までにご確認ください（企業正会員は貴社連絡担当者にご確認下さい）。

会員外の方はクラウドで資料共有をいたします。

ご不明な点がございましたら下記までお問い合わせ下さいますようお願い致します。

事務局：一般社団法人 日本実装技術振興協会 事務局

URL：<http://www.j-jisso.org> (HP 右上の「お問い合わせ」からご連絡下さい)